

SYNOPSYS® 2015年度 インターンシップ募集要項

1. 基礎情報		
社名	日本シノプシス合同会社 (Nihon Synopsys G.K.)	
住所	東京都世田谷区玉川2-21-1 二子玉川ライズ・オフィス 15階	
受入担当者	日本シノプシス インターンシップチーム	
連絡先	E-mail : gakusei@synopsys.com	
2. 事業概要		
組織概要	従業員数	297名 (日本法人) / 9,322名 (Worldwide)
	設立年度	1986年
	代表者名	社長 職務執行者 藤井 公雄
	事業規模	非公開 (日本法人) / NASDAQ上場、2014年度 Revenue \$2.05 billion (米国本社)
事業内容	ASIC/システムLSI設計用ソフトウェアの開発、販売、保守ならびに設計コンサルティング業務 ・私たちは世界に先駆けて「EDAツール」を生み出し半導体設計にイノベーションを起こしてきました。 現在はEDAのみならずIP製品を拡充し、世界のエレクトロニクス市場の革新に貢献しています。	
3. 就業条件		
受入人数	10名程 (2017年3月に高専、大学、大学院 (修士/博士) 卒業見込みの方)	
就業部署	Solutions Group, Design Group	
予定就業期間	8/17/月～ 8/28/金 (土日休み、10日間)	
就業時間	9:30 ~ 18:00 (昼休憩 1時間)	
昼食代	1,500円支給	
交通費	実費支給(上限有、応相談) 宿泊所提供 (遠方の方のみ)	
応募資格	Windows/Office, Unix 基本オペレーションで支障の無いこと 下記何れかの知識/経験を有するもの ・Verilog HDL等を使用し、論理回路設計/検証経験があること ・C/C++、もしくはScript言語(Perl, Tcl, Bash, php等)を使用しプログラムでき、 コンピュータハードウェアの仕組みに興味があること	
予定応募期間	7月中旬-下旬を目処に定員に達し次第締切、詳細は下記リクナビで随時更新 http://job.rikunabi.com/2017/company/top/r479961086/	
選考方法	以下よりエントリーシートをダウンロードし、gakusei@synopsys.comまで送付して下さい。 http://www.synopsys.com/japan/careers/Pages/default.aspx 書類審査後、必要に応じて面接を行います。	
その他	機密漏えい対応のため、守秘義務を明示した覚書にサインをしていただきます。 応募書類は返却いたしません。	
4. 就業内容		
就業テーマ	情報社会イノベーションの根幹を担う半導体。 その一連の設計開発工程を通し、SoC開発におけるEDA並びにIPの位置付けを理解する。	
目的・概要	プログラム概要	EDA Design Flow の学習 1) EDA Design Flow 概略 2) Synopsys Main Product の紹介 ASICフロントエンド設計 1) CPUのブロック概略、特定のモジュールのRTL記述を確認 2) RTLのソースを見て、回路の概略を理解 3) 論理合成し、Timing, Areaを解析 IP設計 1) 設計仕様をベースにRTL設計/検証 2) 設計品をIPに組み込み→FPGA実装/評価、アプリケーションSWとの関連性を理解
	期待する結果	一連のIP設計開発フローを理解し、設計したIP資産をSoCの機能ブロックの一部として、EDA環境を駆使しチップ設計の実務に近い形で体験する。
スケジュール (※以下のスケジュールを予定しておりますが、変更する可能性もございます。)		
日程	就業場所	就業の概要
8/17/月	二子玉川オフィス	オリエンテーション
8/18/火- 8/27/木		8/18(火) - 8/19(水) : EDA Design Flowの学習、ASICフロントエンド設計 8/20(木) - 8/27(木) : IP設計
8/28/金		実習結果発表会