

## 株式会社ソシオネクスト 夏インターンシップ募集要項

### 1. 応募資格

2018年3月卒業予定の大学院1年生、学部3年生。

### 2. 募集学科

理系学生全般、

特に、経営工学、電気電子工学、情報工学、数学、物理を専攻されている方を歓迎します。

### 3. 開催時期

8月下旬～9月のうち、2～3週間のプログラム

プログラムの内容は別紙をご参照ください。

### 4. 開催場所

当社事業所（新横浜本社、京都事業所、大阪事業所）。

### 5. 募集人数

計23人、各プログラムに定員有。

### 6. 支給費用

①交通費 : 実費支給、

②昼食代見合い : 1,000円/日支給、

③宿泊費用 : 自宅から通勤1.5H以上の学生を対象に、宿泊施設を用意します。

### 7. 服装

クールビズ実施中のため、ビジネスに適した服装でノージャケット、ノーネクタイをお願いします。

### 8. 注意点

①各自災害傷害保険、損害賠償責任保険の加入が必要。

②覚書、推薦状の提出が必要。

### 9. 応募要領

下記①、②、③を準備し、7月20日（水）17時まで、Emailで [recruit@socionext.com](mailto:recruit@socionext.com) にご応募ください。

#### ① 履歴書

形式自由で構いません。

学部・学科・研究科名 / 学年 / 研究テーマ及び研究内容（100字以上） もご記載ください。

#### ② 学生証のコピー

③ 応募したいプログラムを三つまでご記入ください。

記載例： 第一希望 3番

第二希望 1番

第三希望 8番

各プログラムは定員制になっております、必ずしもご希望に添えない場合もありますので、あらかじめご了承ください。詳細につき、応募をいただいてから当社人事部よりご連絡します。

別紙

プログラム番号：1番

|        |  |
|--------|--|
| プログラム名 | ノイズモデリング   |
| 概要     | <p>最先端のネットワーク SoC 開発で回路への影響が大きいノイズのシミュレーション 確度を向上させる業務の一端を体験頂きます。</p> <ul style="list-style-type: none"> <li>・ Matlab を使用したシステムシミュレーションで PLL、CDR、ADC がノイズで、どのような影響を受けるか検討</li> <li>- 現行モデル (Simulink) に対し、ノイズモデルを付加してシミュレーションの確度を向上させる</li> </ul> <p>M1 以上で Matlab、Simulink とアナログ回路設計の経験者の方を歓迎します。</p> |
| 募集人数   | 1 名  |
| 受入期間   | 2 週間、8 月 29 日 (月) ~9 月 9 日 (金)   |
| 実施場所   | 新横浜本社  |

プログラム番号：2番

|        |   |
|--------|---|
| プログラム名 | 回路設計  |
| 概要     | <p>最先端のネットワーク SoC で使用する SerDes の開発業務の一端を体験頂きます。</p> <ul style="list-style-type: none"> <li>・ SerDes 回路設計</li> <li>- 対象回路は、CTLE、DEF、PLL のなかから決定</li> </ul> <p>M1 以上でアナログ回路設計の経験者の方を歓迎します。また、本人の希望によりプロジェクトの変更や評価業務 (数日) の追加も可能</p> |
| 募集人数   | 1 名   |
| 受入期間   | 2 週間、8 月 29 日 (月) ~9 月 9 日 (金)  |
| 実施場所   | 新横浜本社   |

プログラム番号：3番

|        |  |
|--------|--|
| プログラム名 | IP macro test chip の simulation  |
| 概要     | <p>最先端のカスタム SoC で使用する IP マクロのテストチップ開発業務の一端を体験頂きます。</p> <ul style="list-style-type: none"> <li>・ IP マクロのテストチップの Verilog レベルのシミュレーション</li> </ul> |

|      |  |
|------|--|
|      | <p>- シミュレーション結果の波形から想定動作を確認</p> <p>Verilog テストベンチ作成とシミュレーションの経験のある方を歓迎します。</p> |
| 募集人数 | 1名   |
| 受入期間 | 2週間、8月29日(月)～9月9日(金)   |
| 実施場所 | 新横浜本社  |

プログラム番号：4番

|        |  |
|--------|--|
| プログラム名 | FPGAによる機能設計・検証   |
| 概要     | <p>ポータブル機器向け SoC+FPGA 搭載ボードのハード/ソフト開発業務の一端を体験頂きます。</p> <p>・ SoC MB86S71+FPGA 搭載ボードの機能確認と、その拡張 設計、ソフト設計</p> <p>RTL 設計(記述)、論理シミュレーション、C 言語でのプログラム作成経験のある方を歓迎します。</p> |
| 募集人数   | 1名   |
| 受入期間   | 2週間、8月29日(月)～9月9日(金)   |
| 実施場所   | 新横浜本社  |

プログラム番号：5番

|        |  |
|--------|--|
| プログラム名 | 高速伝送線路(DDR4, USB3.0)のマージン最大化検討   |
| 概要     | <p>次世代の高速 IF 回路ブロックの伝送特性評価業務の一端を体験頂きます。</p> <p>・ DDR4、USB3.0 IF の波形評価 (ノイズの影響の理解と改善方法の提案)</p> <p>- 電磁界解析ツール、回路シミュレータを用いた波形解析</p> <p>- 上記解析結果の分析とマージン拡大のための提案</p> |
| 募集人数   | 1名   |
| 受入期間   | 2週間、8月29日(月)～9月9日(金)   |
| 実施場所   | 新横浜本社  |

プログラム番号：6番

|        |  |
|--------|--|
| プログラム名 | ARM SoCによるロボットアームデモ開発  |
| 概要     | <p>ロボットアーム制御に使用する SoC のプロトタイプ開発業務の一端を体験頂きます。</p> <p>・ ARM プラットフォームを FPGA にインプリし、ロボットアーム制御のプロトタイプ</p> |

|      |   |
|------|---|
|      | <p>開発</p> <ul style="list-style-type: none"> <li>- 回路設計&amp;FPGAインプリ&amp;制御ソフト設計</li> </ul> <p>Verilogまたは、VHDLでのRTL設計とC/C++でのソフトウェア開発に興味がある方を歓迎します。</p> |
| 募集人数 | 1名  |
| 受入期間 | 2週間、9月5日(月)～9月16日(金)  |
| 実施場所 | 新横浜本社   |

**プログラム番号：7番**

|        |   |
|--------|---|
| プログラム名 | <p>ミルビュー画像処理</p> <p>～カメラファームウェア開発及び簡易画像シミュレータ(GUI)機能開発</p>  |
| 概要     | <p>次世代ミルビューに使用するSoCのファームウェア開発およびシミュレータのソフトウェア開発業務の一端を体験頂きます。</p> <ul style="list-style-type: none"> <li>・カメラファームウェア開発(言語:C/C++) <ul style="list-style-type: none"> <li>- カメラ機能開発</li> <li>- カメラシーケンス評価</li> </ul> </li> <li>・簡易画像シミュレータ(GUI)機能開発(言語:C#)</li> </ul> <p>画像や映像に興味があり、対象言語でのプログラムを作成できる人を歓迎します。</p> |
| 募集人数   | 2名  |
| 受入期間   | 2週間、8月29日(月)～9月9日(金)  |
| 実施場所   | 新横浜本社   |

**プログラム番号：8番**

|        |  |
|--------|--|
| プログラム名 | <p>ミルビュー画像処理</p> <p>～ミルビュー画像処理アルゴリズム開発</p>   |
| 概要     | <p>次世代ミルビューの画像処理アルゴリズム開発と評価の一端を体験頂きます。</p> <ul style="list-style-type: none"> <li>・AF(オートフォーカス)の評価と解析</li> <li>・AWB(オートホワイトバランス)の評価と解析</li> <li>・画像処理マクロの検証開発</li> <li>・3DNR(3次元ノイズリダクション)/HDR(ハイダイナミックレンジ)の評価と解析</li> <li>・3DNR/HDRのアルゴリズム開発補佐</li> </ul> |

|      |  |
|------|--|
|      | 画像や映像に興味があり、C言語やMATLABのプログラムを作成できる方を歓迎します。 |
| 募集人数 | 2名   |
| 受入期間 | 2週間、8月29日（月）～9月9日（金）                       |
| 実施場所 | 新横浜本社                                      |

プログラム番号：9番

|        |   |
|--------|---|
| プログラム名 | ミルビュー画像処理<br>～画像チューニング関連の開発と評価  |
| 概要     | 次世代ミルビューの画像チューニング関連の開発と評価の一端を体験頂きます。<br><br><ul style="list-style-type: none"> <li>・画像チューニング/評価/検証</li> <li>・簡易画像チューニングツール開発</li> </ul> <p>画像や映像に興味があり、C/C++やMATLABのプログラムを作成できる方を歓迎します。</p> |
| 募集人数   | 2名  |
| 受入期間   | 2週間、8月29日（月）～9月9日（金）  |
| 実施場所   | 新横浜本社   |

プログラム番号：10番

|        |  |
|--------|--|
| プログラム名 | 動画エンコーダ LSI 開発   |
| 概要     | 世界最先端の動画コーデック技術の開発と評価の一端を体験頂きます。<br><br><ul style="list-style-type: none"> <li>・動画エンコーダ LSI の画質制御ファームウェアが多様な評価 動画に対して安定して高い画質を得られるようアルゴリズムのチューニングと、各種パラメータをブラッシュアップ <ul style="list-style-type: none"> <li>- 多様な評価動画に対し、ビットレートや符号化ツールの種類など条件を変えた動画を生成</li> <li>- デコード映像の客観画質・主観画質を点数化し、画質制御ファームウェアのブラッシュアップに活かす</li> </ul> </li> </ul> |
| 募集人数   | 2名   |
| 受入期間   | 3週間、8月29日（月）～9月16日（金）  |
| 実施場所   | 新横浜本社  |

プログラム番号：11番

|        |  |
|--------|--|
| プログラム名 | 高集積度 SoC の開発フローの評価   |
| 概要     | <p>SoC の開発フローを改善する業務の一端を体験頂きます。</p> <ul style="list-style-type: none"> <li>・RTL 記述方法、タイミング制約はチップの大きさに影響を及ぼす</li> <li>・当社の SoC 設計データを素材に、RTL 記述チェック、論理合成、タイミング制約確認の統合フローを評価し改善点を考察する <ul style="list-style-type: none"> <li>- EDA ベンダ製の CAD ツールを使用し、あらかじめ定義された手順にそってフローを実行し結果をまとめる</li> <li>- フローの課題を分析、改善提案を作成し、実際に課題修正したものをを用いて改善度合いを確認する</li> </ul> </li> </ul> <p>SoC 開発フロー、Verilog-HDL、Unix/Linux 操作の知識のある方を歓迎します。</p> |
| 募集人数   | 1 名  |
| 受入期間   | 2 週間、8 月 29 日（月）～9 月 9 日（金）  |
| 実施場所   | 新横浜本社  |

プログラム番号：12番

|        |   |
|--------|---|
| プログラム名 | ウェハプロセス評価   |
| 概要     | <p>ウェハプロセスを評価し歩留まり改善策を提案して頂きます。</p> <ul style="list-style-type: none"> <li>・量産中の製品の素子特性データのまとめ、トレンド分析等を行い、問題点、改善点を抽出 <ul style="list-style-type: none"> <li>- 特性データの分析を行い、歩留り改善施策を提案</li> </ul> </li> </ul> |
| 募集人数   | 1 名   |
| 受入期間   | 2 週間、8 月 29 日（月）～9 月 9 日（金）   |
| 実施場所   | 新横浜本社   |

プログラム番号：13番

|        |  |
|--------|--|
| プログラム名 | RTL 段階での配線混雑要因解析   |
| 概要     | <p>論理設計 (RTL) 時の記述の仕方が、レイアウト時の配線混雑要因となり、SoC の集積度 (チップの大きさ) に影響を及ぼす場合があります。本実習では、当社の設計データを素材に論理設計段階で、配線混雑箇所の解析と、その対策方法の検討、考察を行います。</p> <ul style="list-style-type: none"> <li>・当社の設計データを素材に論理設計段階で配線混雑箇所の解析と、その対策方法を</li> </ul> |

|      |  |
|------|--|
|      | <p>検討、考察する</p> <ul style="list-style-type: none"> <li>- 当社の社員と共同で課題の解決方法を模索、検討し、実際に修正したものを用いて改善度合いの確認を行う</li> </ul> <p>SoC 開発フロー、Verilog-HDL、Unix/Linux 操作の知識のある方を歓迎します。</p> |
| 募集人数 | 1 名  |
| 受入期間 | 2 週間、8 月 29 日（月）～9 月 9 日（金）  |
| 実施場所 | 京都事業所  |

プログラム番号：14番

|        |  |
|--------|--|
| プログラム名 | アナログ回路 TEG 開発  |
| 概要     | <ul style="list-style-type: none"> <li>・ 28 ナノテクノロジーを使ったアナログ回路 TEG 開発 <ul style="list-style-type: none"> <li>- レイアウト設計後の回路パラメータ抽出</li> </ul> </li> <li>・ 高速インターフェースおよび ADC 回路の設計、検証 <ul style="list-style-type: none"> <li>- SPICE シミュレーションによる動作と特性の検証</li> </ul> </li> </ul> <p>アナログ回路に関わる研究を行っている学生の方を歓迎します。</p> |
| 募集人数   | 2 名  |
| 受入期間   | 2 週間、8 月 29 日（月）～9 月 9 日（金）  |
| 実施場所   | 京都事業所  |

プログラム番号：15番

|        |   |
|--------|---|
| プログラム名 | 高画質化技術開発  |
| 概要     | <p>4K, 8K 時代にむけた映像アルゴリズムの検討から回路設計、映像評価などを体験頂きます。</p> <ul style="list-style-type: none"> <li>・ 4K, 8K 時代にむけた映像の高画質化アルゴリズムの開発 <ul style="list-style-type: none"> <li>- C 言語、SystemC 等を使用してアルゴリズムを検討</li> </ul> </li> <li>・ 実際に回路を動作させて、画質評価を行う <ul style="list-style-type: none"> <li>- 検討したアルゴリズムを回路にし、FPGA ボードへのマッピング</li> <li>- FPGA ボードを使った映像評価</li> </ul> </li> </ul> <p>映像処理、画像処理、信号処理に興味のある学生の方を歓迎します。</p> |
| 募集人数   | 2 名   |
| 受入期間   | 2 週間、8 月 29 日（月）～9 月 9 日（金）   |
| 実施場所   | 京都事業所   |

プログラム番号：16番

|        |   |
|--------|---|
| プログラム名 | デジタル回路のシステム性能評価   |
| 概要     | 映像・イメージング分野の最先端 SoC のシステム性能に触れ、技術の広さ、深さ、楽しさを感じて頂きます。<br><br><ul style="list-style-type: none"> <li>・ 信号処理 SoC の性能評価、映像パラメータ検討 <ul style="list-style-type: none"> <li>- 最先端 SoC を実際に動作させて性能評価を行い、性能を左右するパラメータを考察、分類する</li> </ul> </li> </ul> |
| 募集人数   | 1名  |
| 受入期間   | 2週間、8月29日（月）～9月9日（金）  |
| 実施場所   | 京都事業所   |

プログラム番号：17番

|        |  |
|--------|--|
| プログラム名 | 動画画像 Codec LSI の検証   |
| 概要     | 今後主流になる 4K, 8K 動画画像 Codec LSI の検証を行って頂きます。<br><br><ul style="list-style-type: none"> <li>・ 4K, 8K 動画画像の膨大なデータの圧縮・伸長を高速に行う LSI (System On a Chip) の検証を行う <ul style="list-style-type: none"> <li>- 検証用テストベンチ並びに、検証シナリオを作成、検証し、検証報告と設計者へのフィードバックを行い、開発 LSI の品質確保をする</li> </ul> </li> </ul> <p>SoC 開発フロー、Verilog-HDL、Unix/Linux 操作の知識のある方を歓迎します。</p> |
| 募集人数   | 1名   |
| 受入期間   | 2週間、8月29日（月）～9月9日（金）   |
| 実施場所   | 大阪事業所  |